

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-134341

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G06F 1/10
G06F 12/06

(21)Application number : 11-316562

(71)Applicant : NEC ENG LTD

(22)Date of filing : 08.11.1999

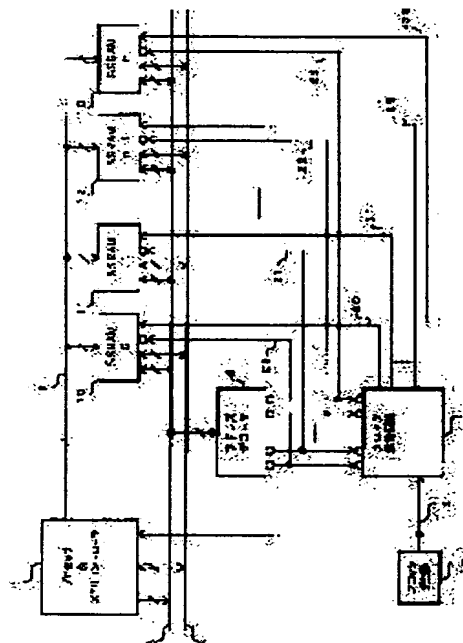
(72)Inventor : OUCHI MIKIO

(54) CLOCK SUPPLY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock supply system capable of reducing electromagnetic interference (EMI) waves and power consumption in an information processor adopting plural synchronous SRAMs(SSRAMs) to be driven on the basis of a clock.

SOLUTION: An address decoder 2 decodes an address outputted from a processor/memory controller 1 and a clock supply circuit 4 supplies a clock only to an SSRAM to be accessed which is selected by one of plural SSRAM selection signals 20 to 23 to be used for selecting an SSRAM to be accessed out of plural SSRAMs 10 to 13.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the clock supply system which is equipped with the address decoder connected to said address bus, and the clock supply circuit which is connected to this address decoder and supplies a clock to said two or more SSRAM(s) alternatively in the clock supply system of the information processor which accesses two or more SSRAM(s) connected to the address bus and the data bus, respectively from a processor / memory controller, and is characterized by this clock supply circuit supplying said clock only to said SSRAM which said processor / memory controller make applicable to access.

[Claim 2] It is the clock supply system according to claim 1 which said clock supply circuit has two or more clock buffers distributed to the clock of the number corresponding to said SSRAM, and two or more clock mask circuits, and is characterized by this clock mask circuit supplying said distributed clock to said corresponding SSRAM with the SSRAM selection signal from said address decoder.

[Claim 3] Said clock mask circuit is a clock supply system according to claim 1 or 2 characterized by being constituted for the OR gate which considers the output and said clock of the AND gate which considers the output and said SSRAM selection signal of the flip-flop which considers said clock and said SSRAM selection signal as an input, and this flip-flop as an input, and this AND gate as an input.

[Claim 4] Said flip-flop is a clock supply system according to claim 3 characterized by being a D form flip-flop.

[Claim 5] Said clock mask circuit of said clock supply circuit is a clock supply system according to claim 3 or 4 characterized by considering the burst signal from said processor / memory controller as an input.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a clock supply system, especially the clock supply system to two or more synchronous system SRAM (in this specification, it is called SSRAM) used with an information processor.

[0002]

[Description of the Prior Art] In recent years, as for the information processor, a high speed and advanced features are progressing quickly towards the multimedia information society. the electromagnetism generated from these equipments -- a noise may cause a failure to an information processor, a receiver, etc. For this reason, the regulatory action to the electromagnetic interference wave (EMI:Electro-Magnetic Immunity) generated from an information processor is taken.

[0003] Conventionally, this kind of clock supply system is used in the information processor for the purpose of controlling the clock supply to two or more circuit elements. For example, the clock distribution circuit is indicated by JP,2-155308,A. A clock distribution means to distribute the basic clock supplied from the outside to a distribution place in this clock distribution circuit, A counter means to count a basic clock (counting) and to set up the timing of the distribution output of a clock, A mask means to set [as which it was determined by the counter] up whether a clock is outputted for every timing for every distribution place, He is trying to supply the clock of arbitration to the distribution place of arbitration with a clock selection means to choose either of the clocks distributed by the clock or clock distribution means by which the mask was carried out with this mask means, and to output to each distribution place.

[0004]

[Problem(s) to be Solved by the Invention] However, on this conventional technique, it has some troubles. First, it is uncontrollable per each clock output signal whether a clock is outputted or not. The reason is that one common signal is performing all clock output controls. Moreover, each clock output control cannot be changed dynamically. The reason is because the comparison of the parameter input circuit which sets up a certain value beforehand, and the value of a counter is performing the clock output control.

[0005]

[Objects of the Invention] Therefore, the purpose of this invention is to offer the clock supply system generating of an electromagnetic interference wave and whose reduction of power consumption were enabled. Moreover, other purposes of this invention are offering the clock supply system which can change supply/halt of a clock dynamically.

[0006]

[Means for Solving the Problem] This invention is the clock supply system of the information processor which accesses two or more SSRAM(s) connected to the address bus and the data bus, respectively from a processor / memory controller, it has the address decoder connected to the address bus, and the clock supply circuit which is connected to this address decoder and supplies a clock to two or more SSRAM(s) alternatively, and this clock supply circuit supplies a clock only to SSRAM which a processor / memory controller makes applicable to access.

[0007] This clock supply circuit is characterized by having two or more clock buffers which distribute the clock from a clock generation machine, and the clock mask circuit which supplies a clock only to SSRAM for access alternatively with the output of an address decoder. Preferably, this clock mask circuit is equipped with the OR gate which considers the flip-flop which considers a clock and a SSRAM selection signal as an input, the AND gate which considers the output and SSRAM selection signal of this flip-flop as an input, and the output and clock of this AND gate as an input. Moreover, this flip-flop is a D form flip-flop. Furthermore, a crop mask circuit also considers the burst signal from a processor / memory controller as an

input.

[0008]

[Embodiment of the Invention] Hereafter, the configuration and actuation of the example of a suitable operation gestalt of a clock supply system by this invention are explained to a detail with reference to an attached drawing.

[0009] First, drawing 1 is the block diagram showing the configuration of the example of the 1st operation gestalt of the clock supply system by this invention. The clock supply system of this example of an operation gestalt consists of a processor / memory controller 1, an address decoder 2, the clock generation machine 3, the clock supply circuit 4, an address bus 5, a data bus 6 and two or more SSRAM10 thru/or 13. Moreover, a block diagram shows the detail configuration of the clock supply circuit 4 in drawing 1 to drawing 2. That is, this clock supply circuit 4 is constituted by the clock distribution circuit group 40 containing n clock buffer (plurality) 40a into which the basic clock 8 from the clock generation machine 3 is inputted thru/or 40n, and the clock mask circuit group 50 containing n clock mask circuits 50a thru/or 50n. [0010] An address decoder 2 decodes the address outputted to an address bus 5 from a processor / memory controller 1 (decode), and has the function which confirms SSRAM10 used as the candidate for access the SSRAM selection signal 20 of 13 thru/or 23. The clock supply circuit 4 carries out the distribution output of the basic clock 8 generated from the clock generation machine 3 SSRAM10 thru/or 13. Moreover, it also has the function which outputs the SSRAM clock 30 thru/or 33 only to SSRAM which serves as a candidate for access SSRAM10 from the SSRAM selection signal 20 thru/or 23 thru/or among 13. By the SSRAM control signals 7, such as a read/write signal outputted from a processor / memory controller 1, and a cutting tool light signal, as for SSRAM10 thru/or 13, read/write and cutting tool light control are performed, and the data at the time of read/write are transmitted by data bus 6 course.

[0011] In the clock supply circuit 4 shown in drawing 2, the clock distribution circuit group 40 distributes the basic clock 8 to the clock buffer 40a thru/or distribution clock of plurality 40n. Moreover, the distribution clock 80 thru/or 83 are inputted into each clock mask circuit 50a of the clock mask circuit group 50 thru/or 50n as the SSRAM selection signal 20 thru/or 23. And only when the SSRAM selection signal 20 thru/or 23 become effective, the basic clock 8 is outputted to SSRAM10 thru/or 13 as the SSRAM clock 30 thru/or 33.

[0012] Next, drawing 3 is the block diagram showing the detail configuration of an one clock mask circuit in the clock mask circuit group 50 in drawing 2, for example, clock mask circuit 50a. This clock mask circuit 50a consists of a D form flip-flop (D-F/F) 51, the AND gate 52, and the OR gate 53. The distribution clock 80 is inputted into the clock (C) terminal of D-F/F51, and the SSRAM selection signal 20 is inputted into a data (D) input terminal. Consequently, from the output (Q) terminal of D-F/F51, the signal 54 the SSRAM selection signal 20 carried out [the signal] 1 clock time lag is outputted. The SSRAM selection signal 20 and the output signal 54 of D-F/F51 are inputted into the AND gate 52, and it is inputted into the OR gate 53 with the distribution clock 80, the AND (AND) output 55, i.e., the clock enabling signal, of both [these] signals. the SSRAM selection signal 20 is effective in this clock enabling signal 55 -- the signal which extended (L) to 1 clock time amount back will be outputted. The period of L and the distribution clock 80 are outputted for the clock enabling signal 55 from the OR gate 53 or clock mask circuit 50a as a SSRAM clock 30 by the OR gate 53. H is outputted at the other period. when it puts in another way, in clock mask circuit 50a thru/or 50n, the SSRAM selection signal 20 thru/or 23 are effective -- it has the function which outputs the distribution clock 80 as a SSRAM clock in the period prolonged behind [1 clock time amount] (L).

[0013] Next, the actuation of the example of the 1st operation gestalt of the clock supply system by this invention shown in drawing 1 thru/or drawing 3 is explained with reference to the timing chart of drawing 4. (a) is the basic clock 8 among drawing 4. (b) is the address of an address bus 5. (c) is a memory control signal. (d) is the SSRAM selection signal 20. (e) And (f) is the clock enabling signal 55 from the output 54 and the AND gate 52 of D-F/F51, respectively. (g) is the SSRAM clock 30. (h) is the SSRAM selection signal 21. (i) And (j) is the output 54 of D-F/F51 contained in the next clock mask circuit, for example, 50b, respectively, and the clock enabling signal 55 of the AND gate 52. (k) is the SSRAM clock 31. Moreover, (l) is data of a data bus 6.

[0014] When a processor / memory controller 1 performs a lead or light of SSRAM10, a processor / memory controller 1 outputs the address with which SSRAM10 is mapped to an address bus 5. And control signals, such as a read/write signal and a cutting tool light signal, are outputted to SSRAM or the memory control signal 7. the address of SSRAM10 outputted to the address bus 5 is decoded by the address decoder 2, and effective only in the SSRAM selection signal 20 -- it is made (L). In the clock supply circuit 4, since the SSRAM selection signal 20 is effective, the basic clock 8 is outputted only to the SSRAM clock 30.

SSRAM10 chosen outputs the data of the address which corresponds if the SSRAM control signal 7 is a lead to a data bus 6, and if it is a light, it will write the data on a data bus 6 in the corresponding address.

[0015] Next, with reference to drawing 4 which shows the timing chart of read/write actuation to SSRAM 10 and 11, the actuation at the time of the read/write to SSRAM 10 and 11 is explained.

[0016] The address A0 thru/or A4 outputted from a processor / memory controller 1 is the address mapped by SSRAM10. On the other hand, the address B0 thru/or B5 are the addresses mapped by SSRAM11. A processor / memory controller 1 outputs the address to an address bus 5, and outputs a read/write signal to the SSRAM control signal 7. The result of having decoded the address on an address bus 5 by the address decoder 2 is outputted as SSRAM selection signals 20 and 21. The signal which delayed the SSRAM selection signal 20 (refer to drawing 4 (d)) 1 clock time by D-F/F51 is the output 54 (refer to drawing 4 (e)) of D-F/F51, and the SSRAM selection signal 20 and the signal which took the AND for the output 54 of D-F/F51 by the AND gate 52 are the clock enabling signals 55 (refer to drawing 4 (f)). The clock enabling signal 55 and the signal which took the OR for the distribution clock 80 by the OR gate 53 are the SSRAM clocks 30 (refer to drawing 4 (g)). Moreover, the signal which delayed the SSRAM selection signal 21 1 clock time by D-F/F51 is the signal 54 shown in drawing 4 (i). The SSRAM selection signal 21 and the signal which took the AND for the output 54 of D-F/F51 by the AND gate 52 are the clock enabling signals 55 shown in drawing 4 (j). This clock enabling signal 55 and the signal which took the OR for the distribution clock 81 in the OR gate 53 are the SSRAM clocks 31 of drawing 4 (k).

[0017] Next, it explains for every phase of the ** thru/or the same round-head enclosure 11 shown in the lowest column of drawing 4. in phase **, the SSRAM selection signal 20 is effective by the address A0 -- it is set to (L) and SSRAM10 is chosen. by the SSRAM selection signal 20, the clock enabling signal 55 is effective -- it is set to (L) and the basic clock 8 shown in the SSRAM clock 30 at drawing 4 (a) is outputted. SSRAM10 to which the SSRAM clock 30 was supplied samples the address A0 and a light signal by the rising edge (the drawing Nakaya mark shows) of the SSRAM clock 30.

[0018] next, SSRAM effective [20] in phase **, also in the address A1, while the light of the data to the address A0 of phase ** is performed -- since it is (L), the SSRAM clock 30 is supplied to SSRAM10, and the address A1 and a light signal are sampled in the rising edge of the SSRAM clock 30. In phase ** and **, the same actuation as phase ** mentioned above is repeated.

[0019] in phase **, the SSRAM selection signal 21 is effective by the address B0 at the same time the light of the data to address A3 of phase ** is performed -- it is set to (L) and SSRAM11 is chosen. by the SSRAM selection signal 21, the clock enabling signal 55 is effective -- it is set to (L) and the basic clock 8 is outputted to the SSRAM clock 31. SSRAM11 to which the SSRAM clock 31 was supplied samples the address B0 and a lead signal by the rising edge of the SSRAM clock 31.

[0020] SSRAM effective [21] in phase **, also in the address B1 at the same time the lead of the data to the address B0 of phase ** is performed -- since it is (L), the SSRAM clock 31 is supplied to SSRAM11. And the address B1 and a lead signal are sampled by the rising edge of the SSRAM clock 31. Moreover, in phase ** thru/or 10 (round-head enclosure), the same actuation as above-mentioned phase ** is repeated. In a phase 11 (round-head enclosure), the lead of the data to address B5 of a phase 10 (round-head enclosure) is performed.

[0021] Next, D-F/F51 explains the reason for being required to clock mask circuit 50a of drawing 3 thru/or the 50n interior. As mentioned above, SSRAM10 thru/or actuation of 13 need to give the address with the first clock, and needs to perform read/write of data after 1 clock. Therefore, SSRAM10 thru/or the clock supply to 13 are needed in both the address and a data phase. The output 54 of the signal 51 which delayed the SSRAM selection signal 20 1 clock time by D-F/F51, i.e., D-F/F, and the AND of the SSRAM selection signal 20 are taken in the clock enabling signal 55 inside clock mask circuit 50a thru/or 50n, and the signal 55 which extended the SSRAM selection signal 20 to 1 clock time amount back, i.e., a clock enabling signal, is needed for it. It becomes possible to perform clock supply in the period and SSRAM10 grade which extended the SSRAM selection signal 20 to 1 clock time amount back with this signal 55. Moreover, the same is said of clock mask circuit 50a thru/or 50n.

[0022] Next, with reference to drawing 5 thru/or drawing 8, the example of the 2nd operation gestalt of the clock supply system by this invention is explained. In addition, suppose that the same reference mark is used for the component of the example of the 1st operation gestalt shown in drawing 1 thru/or drawing 4, and a corresponding element for convenience. Even if it is in the clock supply system of this example of the 2nd operation gestalt, it consists of a processor / memory controller 1, an address decoder 2, the clock generation machine 3, clock supply circuit 4', n SSRAM(s)10, or 13. The difference with the example of the 1st operation gestalt mentioned above is that the burst signal 9 of the SSRAM control signal 7 is supplied from a processor / memory controller 1 to the clock supply circuit 4.

[0023] Drawing 6 is the detail block diagram of the clock supply circuit in drawing 5. drawing 6 -- drawing 2 -- the same -- n -- a piece -- the same -- a configuration -- a clock -- a buffer -- 40 -- a -- or -- 40 -- n -- containing -- a clock -- distribution -- a circuit -- a group -- 40 -- n -- a piece -- the same -- a configuration -- a clock -- a mask -- a circuit -- 50 -- a -- ' -- or -- 50 -- n -- ' -- containing -- a clock -- a mask -- a circuit -- a group -- 50 -- ' -- constituting -- having. The difference with the clock supply circuit 4 of drawing 2 is that the burst signal 9 is inputted into each clock mask circuit 50a' thru/or 50n'.

[0024] Drawing 7 is in clock mask circuit group 50' in drawing 6 (for example, the example of a concrete circuit of clock mask circuit 50a'). In addition to D-F/F51, the AND gate 52, and the OR gate 53, it has NAND gate 56 and the AND gate 57 in the preceding paragraph of D-F/F51. A burst signal 9 and the output signal 54 of D-F/F51 are inputted into NAND gate 56, and the NAND gate output 58 is outputted to it. This NAND gate output 58 and the SSRAM selection signal 20 are inputted into the AND gate 57, and the AND-gate output 59 is obtained. This AND-gate output 59 is inputted into one [the data input (D) of D-F/F51, and] input terminal of the AND gate 52. Moreover, the distribution clock 80 is inputted into the clock (C) terminal of D-F/F51, and one input terminal of the OR gate 53.

[0025] Drawing 8 is a timing chart which shows the read/write actuation to SSRAM10 and SSRAM11 in the example of the 2nd operation gestalt of the clock supply system by this invention. Drawing 8 (a) is the basic clock 8. (b) is the address signal of an address bus 5. (c) is data of a data bus 6. (d) Or (f) corresponds to (d) of drawing 4 thru/or (f). (g) is a burst signal 9. (h) Or (m) corresponds to (g) of drawing 4 thru/or (l), respectively.

[0026] The address A0 thru/or A4 outputted from a processor / memory controller 1 is the address mapped by SSRAM10, and the address B0 thru/or B3 are the addresses mapped by SSRAM11. Since phase ** thru/or ** are the same as that of the case of drawing 4, it explains phase ** or subsequent ones. in phase **, the SSRAM selection signal 21 is effective by the address B0 -- since it is (L), the clock enabling signal 55 is effective -- it is (L) and a clock is outputted to the SSRAM clock 31. However, in phase ** which is performing burst access, and **, since the address mapped to SSRAM11 is not outputted, the SSRAM selection signal 21 serves as an invalid (H). in this case, a burst signal 9 is effective -- since it is set to (H), the clock enabling signal 55 is effective by taking the NAND conditions of this condition and NOT of D-F/F51 in NAND gate 56 -- (L) is held and the clock output is enabled at the SSRAM clock 31.

[0027] Next, the need for NAND gate 56 inside clock mask circuit 50a' in drawing 7 is explained. As mentioned above, when a processor / memory controller 1 carries out burst actuation, the surely effective first address is outputted. in the case of the address with which this effective address is mapped by SSRAM10, the SSRAM selection signal 20 is effective -- it is set to (L) and the D-F/F output 54 is also effective with the following clock -- it is set to (L). this D-F/F output 54 is effective -- only when set to (L), a burst signal 9 is effective -- it is possible by detecting (H) in NAND gate 56 to confirm either of the clock enabling signals.

[0028] In the above, the configuration and actuation of the example of a suitable operation gestalt of a clock supply system by this invention were explained. However, according to a specified use, that various deformation modification is possible can understand the example of these operation gestalt easily to this contractor, without not passing to mere instantiation but deviating from the summary of this invention.

[0029] [Effect of the Invention] According to the clock supply system of this invention, various remarkable effectiveness is acquired so that clearly from above-mentioned explanation. Since the means in which only the access time carries out clock supply is formed in specific SSRAM used as the candidate for access even if it is the case where it has much SSRAM(s), generating of an unnecessary electromagnetic interference wave can be prevented and generating of an electromagnetic interference wave can be reduced [1st].

[0030] It is possible to prevent unnecessary power consumption to the 2nd, and to reduce power consumption to it. The reason is because a means to supply a clock only to SSRAM used as the candidate for access is established.

[0031] It is possible to change dynamically the clock supply to SSRAM used as the candidate for access to the 3rd. The reason is because a clock supply means to determine whether to see a SSRAM selection signal and perform clock supply is established.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the example of the 1st operation gestalt of the clock supply system by this invention.

[Drawing 2] It is the detail block diagram of the clock supply circuit part in drawing 1 .

[Drawing 3] It is the detail block diagram of the clock mask circuit part of drawing 2 .

[Drawing 4] It is a timing chart for explaining actuation of drawing 1 thru/or the clock supply system of drawing 3 .

[Drawing 5] It is the block diagram showing the configuration of the example of the 2nd operation gestalt of the clock supply system by this invention.

[Drawing 6] It is the detail block diagram of the clock supply circuit part in drawing 5 .

[Drawing 7] It is the detail block diagram of the clock mask circuit part in drawing 6 .

[Drawing 8] It is a timing chart for explaining actuation of drawing 5 thru/or the clock supply system of drawing 7 .

[Description of Notations]

1 Processor / Memory Controller

2 Address Decoder

3 Clock Generation Machine

4 4' Clock supply circuit

10-13 SSRAM

40 Clock Distribution Circuit

50 50' Clock mask circuit

[Translation done.]

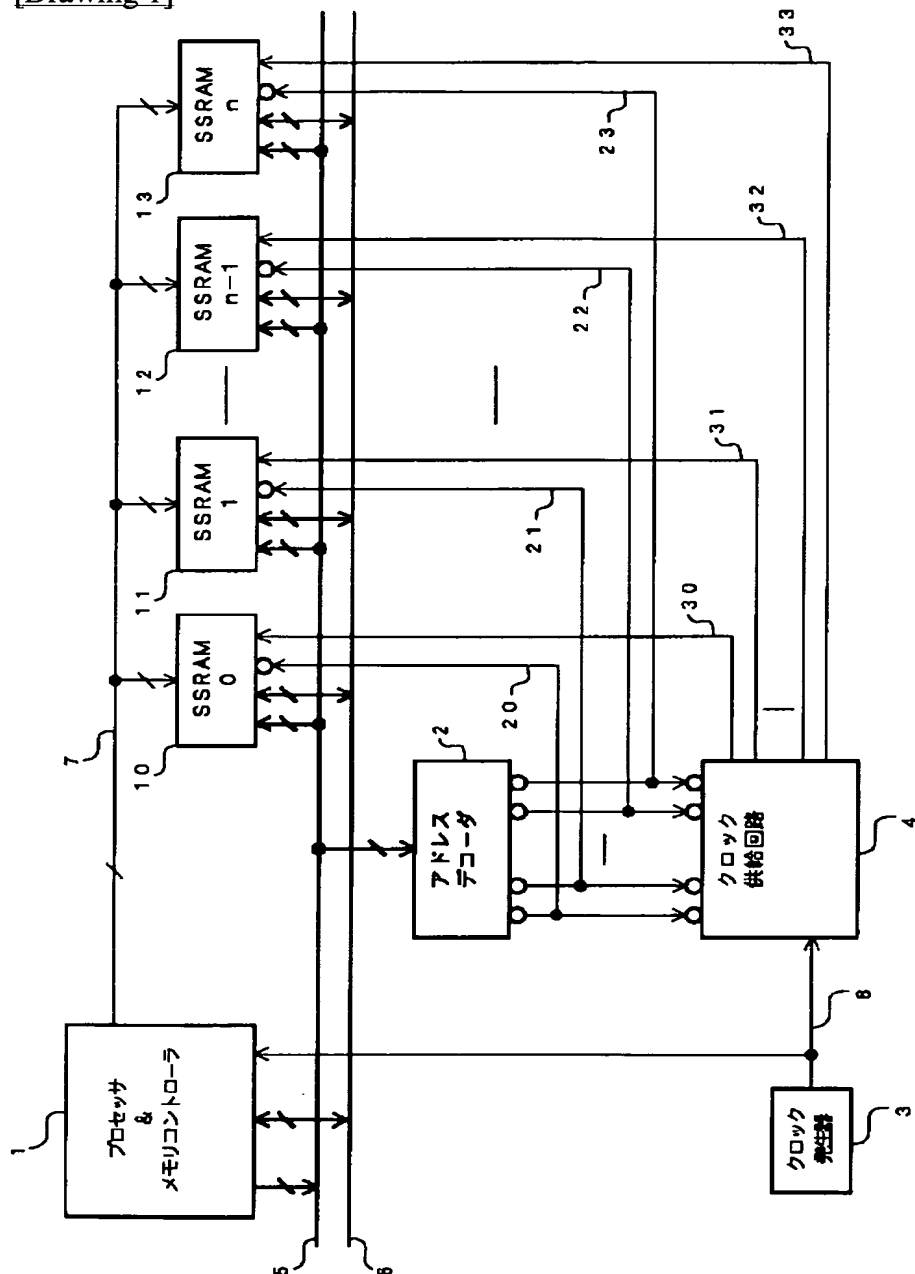
* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

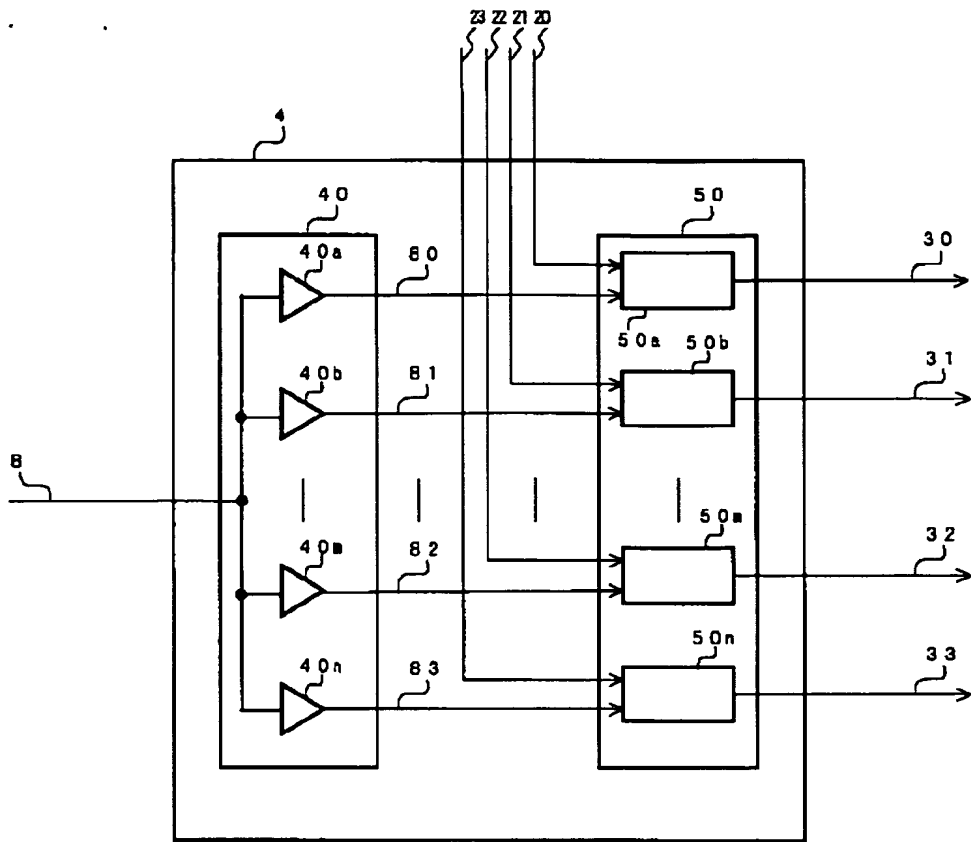
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

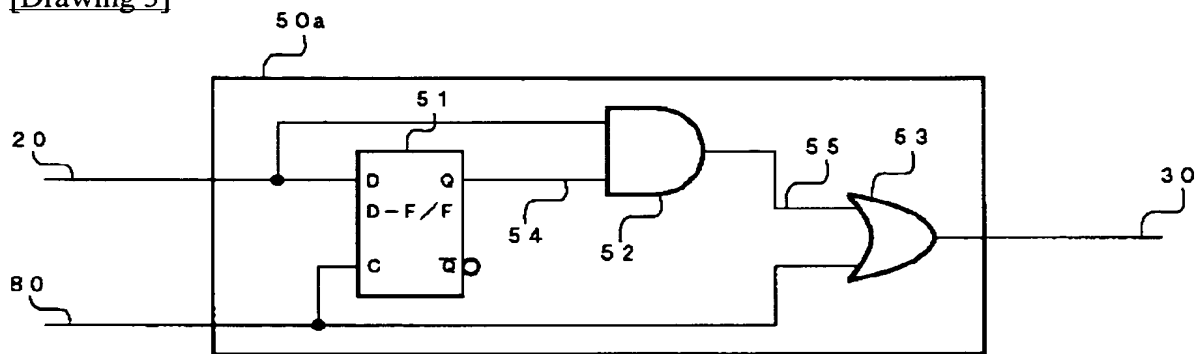
[Drawing 1]



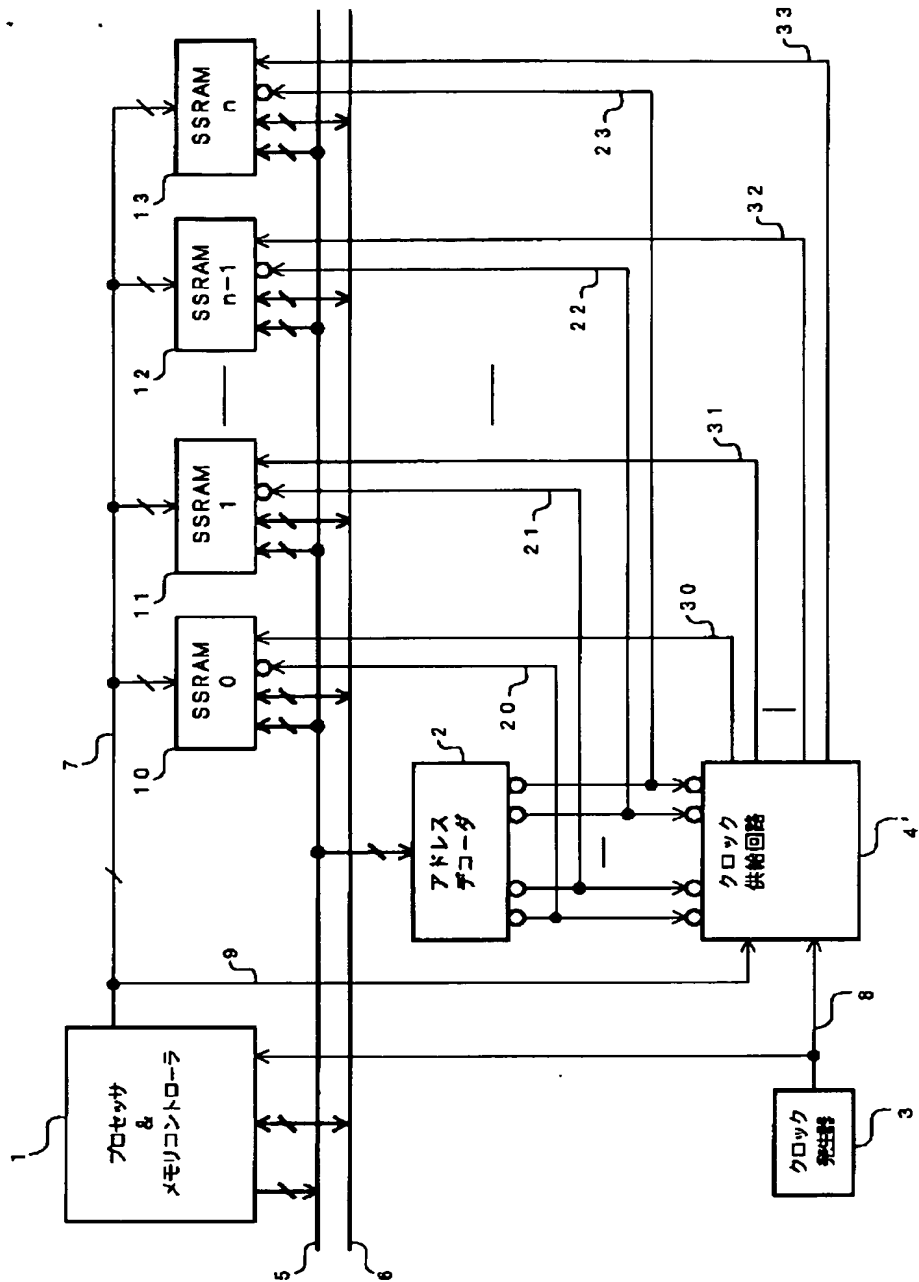
[Drawing 2]



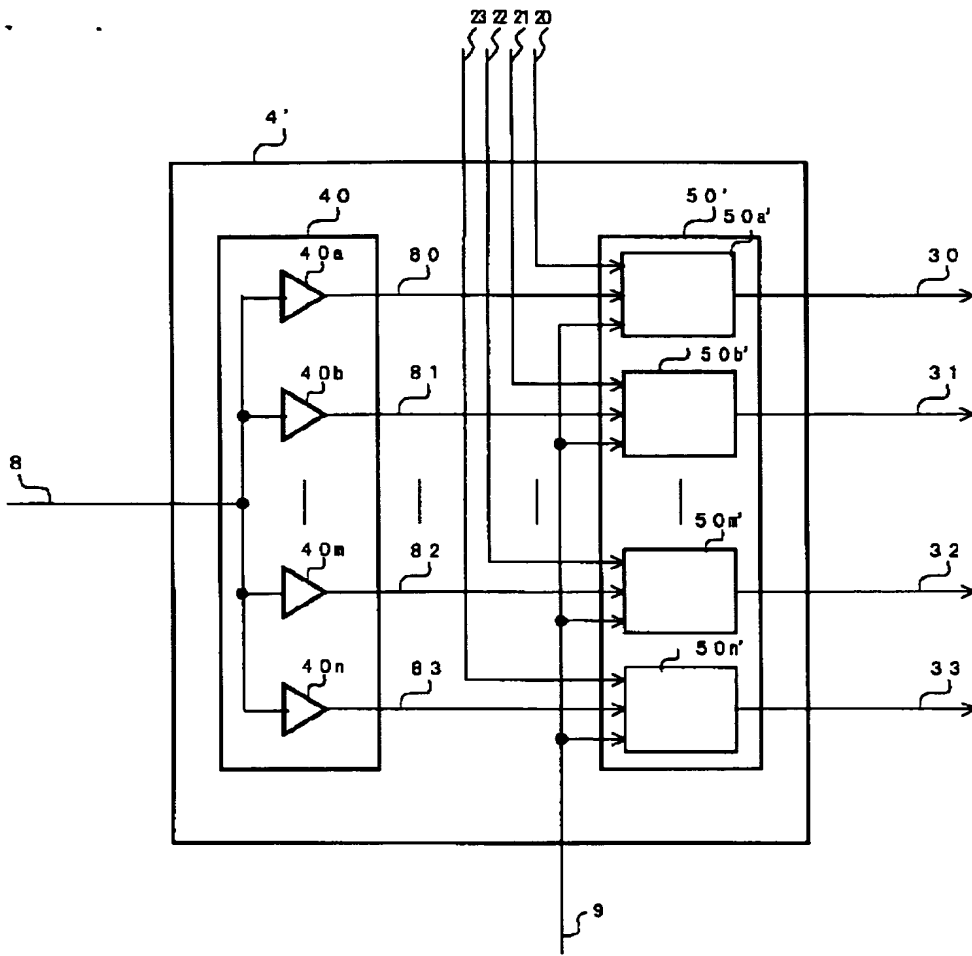
[Drawing 3]



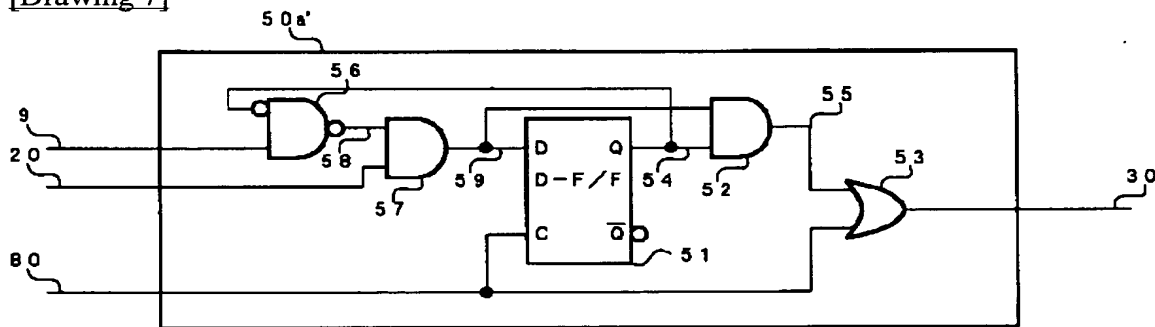
[Drawing 4]



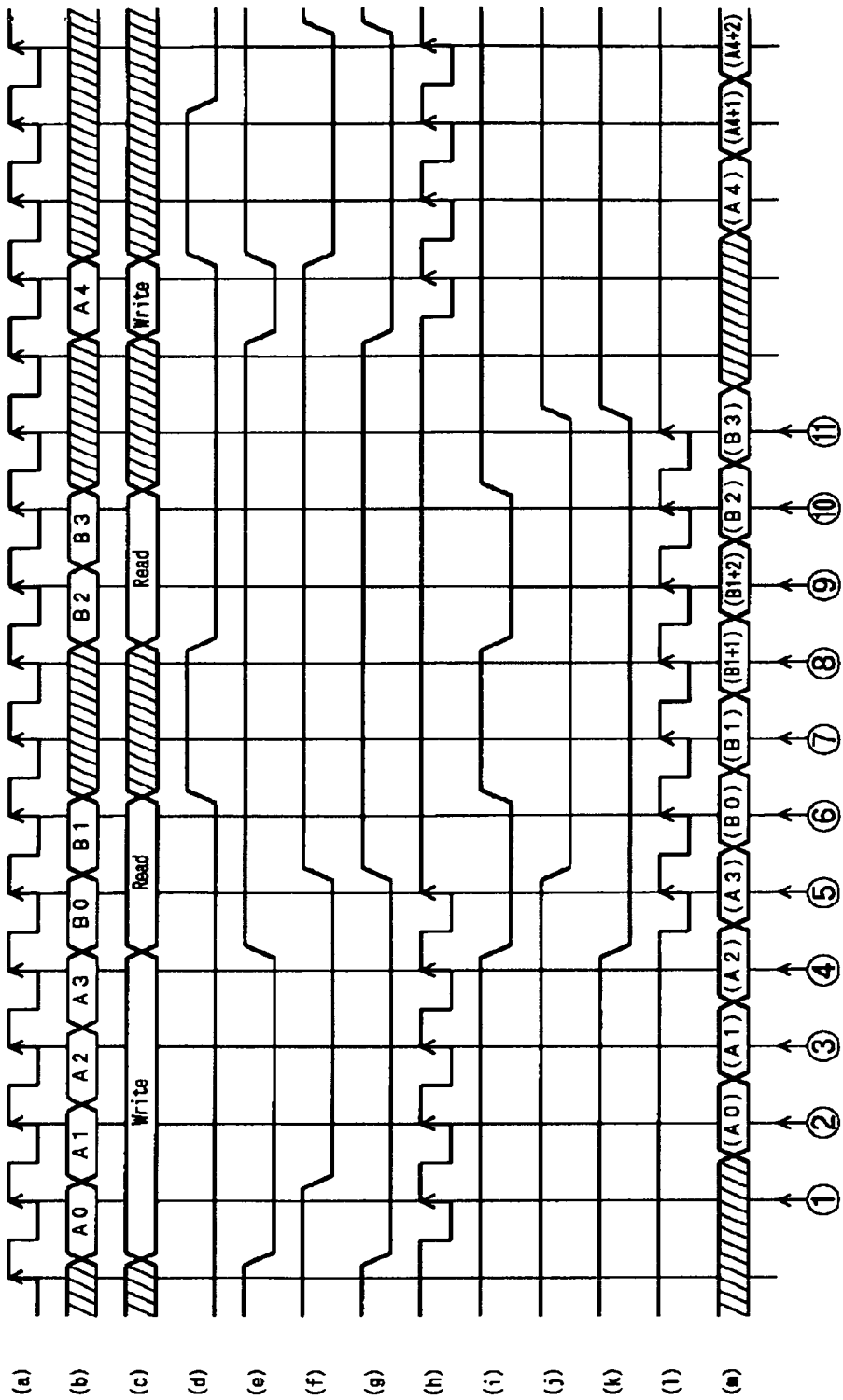
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-134341

(P2001-134341A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl.⁷

G 0 6 F 1/10
12/06

識別記号

5 1 5

F I

G 0 6 F 12/06
1/04

テーム(参考)

5 1 5 H 5 B 0 6 0
3 3 0 Z 5 B 0 7 9

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号

特願平11-316562

(22) 出願日

平成11年11月8日 (1999.11.8)

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 大内 幹夫

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74) 代理人 100081710

弁理士 福山 正博

Fターム(参考) 5B060 C003

5B079 BA12 BA20 BB04 BC01 BC06

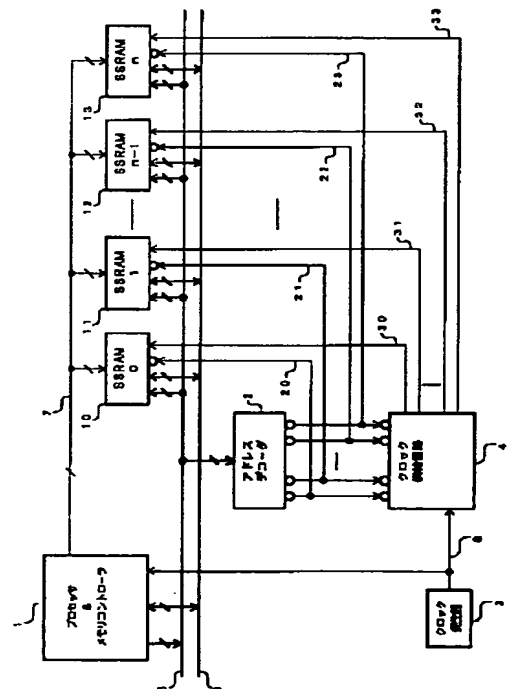
DD08 DD20

(54) 【発明の名称】 クロック供給方式

(57) 【要約】

【課題】 クロックに基づき動作する複数の同期式 S R A M (S S R A M) を採用する情報処理装置における電磁妨害波 (E M I) および消費電力を低減するクロック供給方式を提供する。

【解決手段】 プロセッサ/メモリコントローラ 1 から出力されるアドレスを、アドレスデコーダ 2 でデコードし、複数の S S R A M 1 0 乃至 1 3 のうちアクセス対象となる S S R A M i への S S R A M 選択信号 2 0 乃至 2 3 から、クロック供給回路 4 によって、アクセス対象となっている S S R A M i へのみクロックを供給する。



(2)

1

【特許請求の範囲】

【請求項1】それぞれアドレスバスおよびデータバスに接続された複数のSSRAMにプロセッサ／メモリコントローラからアクセスする情報処理装置のクロック供給方式において、

前記アドレスバスに接続されたアドレスデコーダと、該アドレスデコーダに接続され前記複数のSSRAMにクロックを選択的に供給するクロック供給回路とを備え、該クロック供給回路は、前記プロセッサ／メモリコントローラがアクセス対象とする前記SSRAMのみに前記クロックを供給することを特徴とするクロック供給方式。

【請求項2】前記クロック供給回路は、前記SSRAMに対応する個数のクロックに分配する複数のクロックバッファと、複数のクロックマスク回路とを有し、該クロックマスク回路は前記アドレスデコーダからのSSRAM選択信号により前記分配されたクロックを前記対応するSSRAMに供給することを特徴とする請求項1に記載のクロック供給方式。

【請求項3】前記クロックマスク回路は、前記クロックおよび前記SSRAM選択信号を入力とするフリップフロップ、該フリップフロップの出力と前記SSRAM選択信号を入力とするANDゲートおよび該ANDゲートの出力と前記クロックを入力とするORゲートにより構成されることを特徴とする請求項1又は2に記載のクロック供給方式。

【請求項4】前記フリップフロップはD形フリップフロップであることを特徴とする請求項3に記載のクロック供給方式。

【請求項5】前記クロック供給回路の前記クロックマスク回路は、前記プロセッサ／メモリコントローラからのバースト信号をも入力することを特徴とする請求項3又は4に記載のクロック供給方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック供給方式、特に情報処理装置で使用する複数の同期式SRAM（本明細書中ではSSRAMという）へのクロック供給方式に関する。

【0002】

【従来の技術】近年、情報処理装置は、マルチメディア情報化社会に向けて、高速且つ高機能化が急速に進んでいる。これらの装置から発生する電磁ノイズによって、情報処理装置、受信機等へ障害を引き起こす可能性がある。このため、情報処理装置から発生する電磁妨害波（EMI：Electro-Magnetic Immunity）に対する規制措置が採られるようになってきている。

【0003】従来、この種のクロック供給方式は、情報処理装置において、複数の回路素子へのクロック供給を制御することを目的として用いられている。例えば、特

2

開平2-155308号公報には、クロック分配回路が開示されている。このクロック分配回路では、外部から供給される基本クロックを分配先に分配するクロック分配手段と、基本クロックをカウント（計数）してクロックの分配出力のタイミングを設定するカウンタ手段と、カウンタによって定められたタイミング毎にクロックを出力するか否かを分配先毎に設定するマスク手段と、このマスク手段によってマスクされたクロック又はクロック分配手段によって分配されたクロックのいずれかを選択してそれぞれの分配先に出力するクロック選択手段とにより、任意のクロックを任意の分配先に供給するようにしている。

【0004】

【発明が解決しようとする課題】しかし、斯かる従来技術には幾つかの問題点を有する。まず、各クロック出力信号単位に、クロックを出力するか否かの制御を行うことができない。その理由は、全てのクロック出力制御を、1つの共通信号で行っているからである。また、各クロック出力制御を動的に切り替えることができない。その理由は、クロック出力制御は、予めある値を設定しておく定数設定回路と、カウンタの値の比較によって行っているためである。

【0005】

【発明の目的】従って、本発明の目的は、電磁妨害波の発生および消費電力を低減可能にしたクロック供給方式を提供することにある。また、本発明の他の目的は、クロックの供給／停止の切り替えを動的に行うことが可能であるクロック供給方式を提供することである。

【0006】

【課題を解決するための手段】本発明は、それぞれアドレスバスおよびデータバスに接続された複数のSSRAMにプロセッサ／メモリコントローラからアクセスする情報処理装置のクロック供給方式であって、アドレスバスに接続されたアドレスデコーダと、このアドレスデコーダに接続され複数のSSRAMにクロックを選択的に供給するクロック供給回路とを備え、このクロック供給回路は、プロセッサ／メモリコントローラがアクセス対象とするSSRAMのみにクロックを供給する。

【0007】このクロック供給回路は、クロック発生器からのクロックを分配する複数のクロックバッファと、アドレスデコーダの出力でアクセス対象のSSRAMのみにクロックを選択的に供給するクロックマスク回路とを備えることを特徴とする。好ましくは、このクロックマスク回路は、クロックとSSRAM選択信号とを入力とするフリップフロップ、このフリップフロップの出力とSSRAM選択信号を入力とするANDゲートおよびこのANDゲートの出力とクロックを入力とするORゲートを備える。また、このフリップフロップは、D形フリップフロップである。更に、クロックマスク回路は、プロセッサ／メモリコントローラからのバースト信号を

(3)

3

も入力とする。

【0008】

【発明の実施の形態】以下、本発明によるクロック供給方式の好適実施形態例の構成および動作を、添付図を参照して詳細に説明する。

【0009】まず、図1は、本発明によるクロック供給方式の第1実施形態例の構成を示すブロック図である。この実施形態例のクロック供給方式は、プロセッサ/メモリコントローラ1、アドレスデコーダ2、クロック発生器3、クロック供給回路4、アドレスバス5、データバス6および複数のSSRAM10乃至13より構成される。また、図1中のクロック供給回路4の詳細構成を図2にブロック図で示す。即ち、このクロック供給回路4は、クロック発生器3からの基本クロック8が入力されるn個（複数）のクロックバッファ40a乃至40nを含むクロック分配回路群40と、n個のクロックマスク回路50a乃至50nを含むクロックマスク回路群50とにより構成される。

【0010】アドレスデコーダ2は、プロセッサ/メモリコントローラ1からアドレスバス5に出力されるアドレスをデコード（復号）し、アクセス対象となるSSRAM10乃至13へのSSRAM選択信号20乃至23を有効とする機能を有する。クロック供給回路4は、クロック発生器3から生成される基本クロック8をSSRAM10乃至13に分配出力する。また、SSRAM選択信号20乃至23から、SSRAM10乃至13のうちアクセス対象となっているSSRAMにのみ、SSRAMクロック30乃至33を出力する機能をも有する。プロセッサ/メモリコントローラ1から出力されるリード/ライト信号およびバイトライト信号等のSSRAM制御信号7によって、SSRAM10乃至13は、リード/ライト、バイトライト制御が行われ、リード/ライト時のデータは、データバス6経由で転送される。

【0011】図2に示すクロック供給回路4において、クロック分配回路群40は、基本クロック8をクロックバッファ40a乃至40nによって複数の分配クロックに分配する。また、クロックマスク回路群50の各クロックマスク回路50a乃至50nには、SSRAM選択信号20乃至23と、分配クロック80乃至83が入力される。そして、SSRAM選択信号20乃至23が有効になった場合のみ、SSRAM10乃至13にSSRAMクロック30乃至33として基本クロック8を出力する。

【0012】次に、図3は、図2におけるクロックマスク回路群50のうちの1つのクロックマスク回路、例えばクロックマスク回路50aの詳細構成を示すブロック図である。このクロックマスク回路50aは、D形フリップフロップ（D-F/F）51、ANDゲート52およびORゲート53により構成される。D-F/F51のクロック（C）端子には、分配クロック80が、データ

4

(D)入力端子には、SSRAM選択信号20が入力される。その結果、D-F/F51の出力（Q）端子からは、SSRAM選択信号20の1クロック時間遅れた信号54が出力される。ANDゲート52には、SSRAM選択信号20とD-F/F51の出力信号54が入力され、それら両信号の論理積（AND）出力、即ちクロック許可信号55が分配クロック80と共にORゲート53に入力される。このクロック許可信号55には、SSRAM選択信号20の有効（L）を1クロック時間後ろに引き伸ばした信号が出力されることになる。ORゲート53により、クロック許可信号55がLの期間、分配クロック80が、SSRAMクロック30として、ORゲート53又はクロックマスク回路50aから出力される。それ以外の期間は、Hが出力される。換言すると、クロックマスク回路50a乃至50nでは、SSRAM選択信号20乃至23が、有効（L）の1クロック時間後ろに引き伸ばした期間で、分配クロック80をSSRAMクロックとして出力する機能を有している。

【0013】次に、図1乃至図3に示した、本発明によるクロック供給方式の第1実施形態例の動作を、図4のタイミングチャートを参照して説明する。図4中、

(a)は、基本クロック8である。(b)は、アドレスバス5のアドレスである。(c)は、メモリ制御信号である。(d)は、SSRAM選択信号20である。

(e)および(f)は、夫々D-F/F51の出力54およびANDゲート52からのクロック許可信号55である。(g)は、SSRAMクロック30である。

(h)は、SSRAM選択信号21である。(i)および(j)は、夫々次のクロックマスク回路、例えば50bに含まれるD-F/F51の出力54およびANDゲート52のクロック許可信号55である。(k)は、SSRAMクロック31である。また、(l)は、データバス6のデータである。

【0014】プロセッサ/メモリコントローラ1が、SSRAM10のリード又はライトを行う場合には、プロセッサ/メモリコントローラ1がアドレスバス5に、SSRAM10がマッピングされているアドレスを出力する。そして、リード/ライト信号、バイトライト信号等の制御信号をSSRAM又はメモリ制御信号7に出力する。アドレスバス5に出力されたSSRAM10のアドレスをアドレスデコーダ2でデコードし、SSRAM選択信号20のみを有効（L）にする。クロック供給回路4では、SSRAM選択信号20が有効になっていることから、SSRAMクロック30にのみ基本クロック8を出力する。選択されているSSRAM10は、SSRAM制御信号7がリードならば、該当する番地のデータをデータバス6に出力し、ライトならば、該当する番地にデータバス6上のデータを書き込む。

【0015】次に、SSRAM10および11に対するリード/ライト動作のタイミングチャートを示す図4を

(4)

5

参照して、SSRAM10および11に対するリード／ライト時の動作を説明する。

【0016】プロセッサ／メモリコントローラ1から出力されるアドレスA0乃至A4は、SSRAM10にマッピングされるアドレスである。他方、アドレスB0乃至B5は、SSRAM11にマッピングされるアドレスである。プロセッサ／メモリコントローラ1は、アドレスバス5にアドレスを出力し、SSRAM制御信号7にリード／ライト信号を出力する。アドレスバス5上のアドレスをアドレスデコーダ2でデコードした結果を、SSRAM選択信号20、21として出力する。SSRAM選択信号20（図4（d）参照）をD-F/F51により1クロック時間遅らせた信号がD-F/F51の出力54（図4（e）参照）であり、SSRAM選択信号20とD-F/F51の出力54をANDゲート52により論理積をとった信号がクロック許可信号55（図4（f）参照）である。クロック許可信号55と分配クロック80をORゲート53により論理和をとった信号がSSRAMクロック30（図4（g）参照）である。また、SSRAM選択信号21をD-F/F51によって1クロック時間遅らせた信号が図4（i）に示す信号54である。SSRAM選択信号21とD-F/F51の出力54をANDゲート52により論理積をとった信号が図4（j）に示すクロック許可信号55である。このクロック許可信号55と分配クロック81をORゲート53で論理和をとった信号が図4（k）のSSRAMクロック31である。

【0017】次に、図4の最下欄に示す①乃至同様な丸囲み11のフェーズ毎に説明する。フェーズ①では、アドレスA0によって、SSRAM選択信号20が有効（L）となり、SSRAM10が選択される。SSRAM選択信号20により、クロック許可信号55は有効（L）となり、SSRAMクロック30に、図4（a）に示す基本クロック8が出力される。SSRAMクロック30が供給されたSSRAM10は、SSRAMクロック30の立ち上がりエッジ（図中矢印で示す）により、アドレスA0とライト信号をサンプリングする。

【0018】次に、フェーズ②では、フェーズ①のアドレスA0に対するデータのライトが行われると共に、アドレスA1の場合も、SSRAM選択信号20が有効（L）であるため、SSRAM10にはSSRAMクロック30が供給され、SSRAMクロック30の立ち上がりエッジにて、アドレスA1とライト信号をサンプリングする。フェーズ③および④では、上述したフェーズ②と同様の動作を繰り返す。

【0019】フェーズ⑤では、フェーズ④のアドレスA3に対するデータのライトが行われると同時に、アドレスB0により、SSRAM選択信号21が有効（L）となり、SSRAM11が選択される。SSRAM選択信号21によって、クロック許可信号55は有効（L）とな

6

り、SSRAMクロック31に基本クロック8が出力される。SSRAMクロック31が供給されたSSRAM11は、SSRAMクロック31の立ち上がりエッジによって、アドレスB0とリード信号をサンプリングする。

【0020】フェーズ⑥では、フェーズ⑤のアドレスB0に対するデータのリードが行われると同時に、アドレスB1の場合も、SSRAM選択信号21が有効（L）であるため、SSRAM11にはSSRAMクロック31が供給される。そして、SSRAMクロック31の立ち上がりエッジによって、アドレスB1とリード信号をサンプリングする。また、フェーズ⑦乃至10（丸囲み）では、上述のフェーズ⑤と同様の動作を繰り返す。フェーズ11（丸囲み）では、フェーズ10（丸囲み）のアドレスB5に対するデータのリードが行われる。

【0021】次に、図3のクロックマスク回路50a乃至50nの内部にD-F/F51が必要である理由を説明する。上述した如く、SSRAM10乃至13の動作は、初めのクロックでアドレスを与え、1クロック後にデータのリード／ライトを行う必要がある。従って、SSRAM10乃至13へのクロック供給は、アドレスとデータフェーズの両方で必要になる。クロックマスク回路50a乃至50n内部のクロック許可信号55には、SSRAM選択信号20をD-F/F51によって1クロック時間遅らせた信号、即ちD-F/F51の出力54と、SSRAM選択信号20の論理積をとり、SSRAM選択信号20を1クロック時間後ろに引き伸ばした信号、即ちクロック許可信号55が必要となる。この信号55により、SSRAM選択信号20を1クロック時間後ろに引き伸ばした期間、SSRAM10等へのクロック供給を行うことが可能になる。また、クロックマスク回路50a乃至50nについても同様である。

【0022】次に、図5乃至図8を参照して、本発明によるクロック供給方式の第2実施形態例を説明する。尚、図1乃至図4に示す第1実施形態例の構成要素と対応する要素には、便宜上、同様の参照符号を使用することとする。この第2実施形態例のクロック供給方式であっても、プロセッサ／メモリコントローラ1、アドレスデコーダ2、クロック発生器3、クロック供給回路4'、n個のSSRAM10乃至13より構成される。上述した第1実施形態例との相違点は、プロセッサ／メモリコントローラ1からクロック供給回路4に対してSSRAM制御信号7のバースト信号9が供給されることである。

【0023】図6は、図5中のクロック供給回路の詳細ブロック図である。図6は、図2と同様に、n個の同様構成のクロックバッファ40a乃至40nを含むクロック分配回路群40と、n個の同様構成のクロックマスク回路50a'乃至50n'を含むクロックマスク回路群50'より構成される。図2のクロック供給回路4との

(5)

7

相違点は、各クロックマスク回路50a'乃至50n'にバースト信号9が入力されていることである。

【0024】図7は、図6中のクロックマスク回路群50'内の、例えばクロックマスク回路50a'の具体的な回路例である。D-F/F51、ANDゲート52およびORゲート53に加えて、D-F/F51の前段にNANDゲート56およびANDゲート57を有する。NANDゲート56には、バースト信号9とD-F/F51の出力信号54が入力され、NANDゲート出力58を出力する。このNANDゲート出力58とSSRAM選択信号20とをANDゲート57に入力し、ANDゲート出力59を得る。このANDゲート出力59は、D-F/F51のデータ入力(D)とANDゲート52の一方の入力端子に入力される。また、D-F/F51のクロック(C)端子とORゲート53の一方の入力端子には、分配クロック80が入力される。

【0025】図8は、本発明によるクロック供給方式の第2実施形態例におけるSSRAM10とSSRAM11に対するリード/ライト動作を示すタイミングチャートである。図8(a)は、基本クロック8である。

(b)は、アドレスバス5のアドレス信号である。

(c)は、データバス6のデータである。(d)乃至

(f)は、図4の(d)乃至(f)に対応する。(g)は、バースト信号9である。(h)乃至(m)は、夫々図4の(g)乃至(i)に対応する。

【0026】プロセッサ/メモリコントローラ1から出力されるアドレスA0乃至A4は、SSRAM10にマッピングされるアドレスであり、アドレスB0乃至B3は、SSRAM11にマッピングされるアドレスである。フェーズ④乃至⑤は、図4の場合と同様であるので、フェーズ⑥以降について説明する。フェーズ⑥では、アドレスA0によって、SSRAM選択信号21が有効(L)であるため、クロック許可信号55は有効

(L)で、SSRAMクロック31にはクロックが出力される。しかし、バーストアクセスを行っているフェーズ⑦、⑧では、SSRAM11へマッピングされるアドレスが出力されないため、SSRAM選択信号21は無効(H)となる。この場合には、バースト信号9が有効(H)となるため、NANDゲート56で、この条件とD-F/F51のNOTとのNAND条件をとることにより、クロック許可信号55の有効(L)を保持し、SSRAMクロック31にクロック出力を可能としている。

【0027】次に、図7におけるクロックマスク回路50a'内部のNANDゲート56の必要性を説明する。上述した如く、プロセッサ/メモリコントローラ1がバースト動作を行う場合には、初めに必ず有効なアドレスを出力する。この有効アドレスがSSRAM10にマッピングされるアドレスの場合には、SSRAM選択信号20が有効(L)になり、D-F/F出力54も次のク

8

ロックで有効(L)となる。このD-F/F出力54が有効(L)となった場合のみ、バースト信号9の有効(H)をNANDゲート56で検出することによって、クロック許可信号のいずれかを有効とすることが可能である。

【0028】以上、本発明によるクロック供給方式の好適実施形態例の構成および動作を説明した。しかし、これら実施形態例は、単なる例示に過ぎず、本発明の要旨を逸脱することなく、特定用途に応じて種々の変形変更が可能であることが、当業者には容易に理解できよう。

【0029】

【発明の効果】上述の説明から明らかな如く、本発明のクロック供給方式によると種々の顕著な効果が得られる。第1に、多数のSSRAMを有する場合であっても、アクセス対象となる特定のSSRAMへ、アクセス時間のみクロック供給する手段を設けているので、不要な電磁妨害波の発生を防ぎ、電磁妨害波の発生を低減することができる。

【0030】第2に、不要な電力消費を防止し、消費電力を低減することが可能である。その理由は、アクセス対象となっているSSRAMのみにクロックを供給する手段を設けているためである。

【0031】第3に、アクセス対象となるSSRAMへのクロック供給を動的に切り替えることが可能である。その理由は、SSRAM選択信号を見て、クロック供給を行うか否かの決定を行うクロック供給手段を設けているためである。

【図面の簡単な説明】

【図1】本発明によるクロック供給方式の第1実施形態例の構成を示すブロック図である。

【図2】図1中のクロック供給回路部分の詳細ブロック図である。

【図3】図2のクロックマスク回路部分の詳細ブロック図である。

【図4】図1乃至図3のクロック供給方式の動作を説明するためのタイミングチャートである。

【図5】本発明によるクロック供給方式の第2実施形態例の構成を示すブロック図である。

【図6】図5中のクロック供給回路部分の詳細ブロック図である。

【図7】図6中のクロックマスク回路部分の詳細ブロック図である。

【図8】図5乃至図7のクロック供給方式の動作を説明するためのタイミングチャートである。

【符号の説明】

- | | |
|-------|-----------------|
| 1 | プロセッサ/メモリコントローラ |
| 2 | アドレスデコーダ |
| 3 | クロック発生器 |
| 4、4' | クロック供給回路 |
| 10〜13 | SSRAM |

40

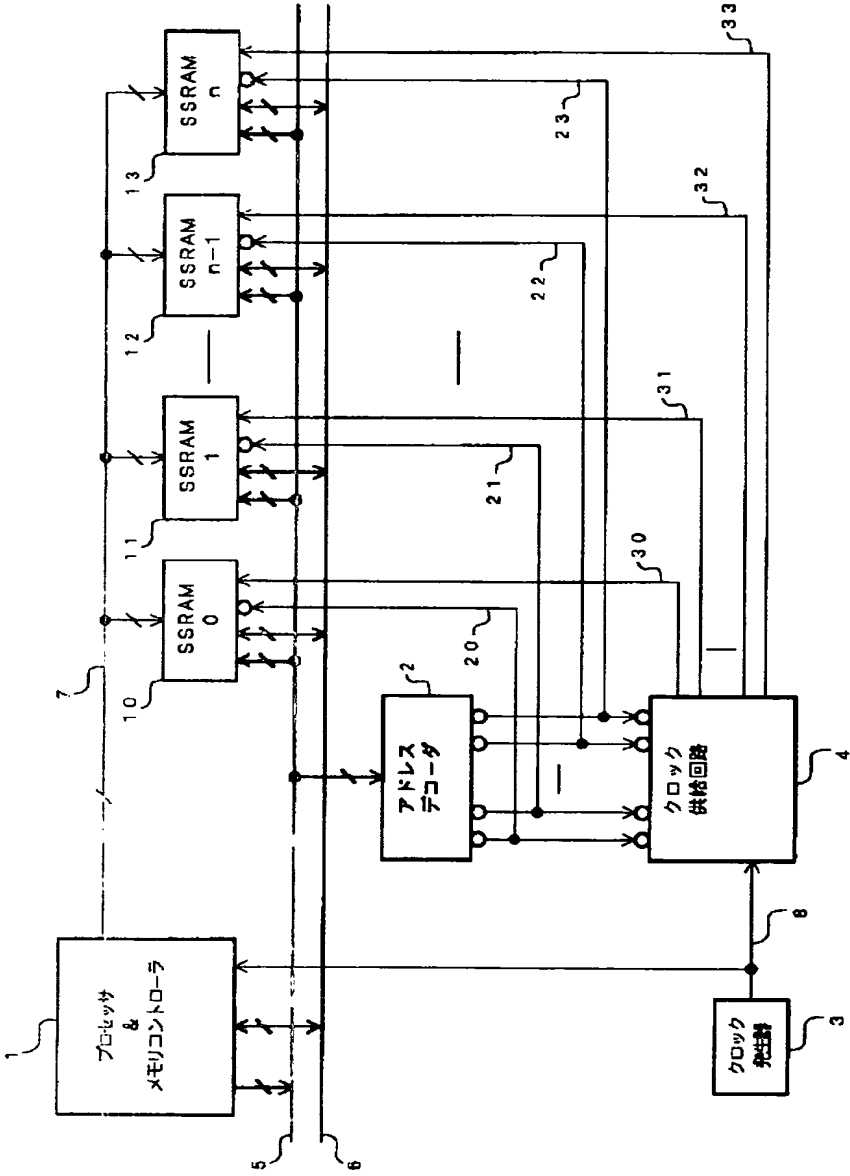
9
クロック分配回路

50、50'

10
クロックマスク回路

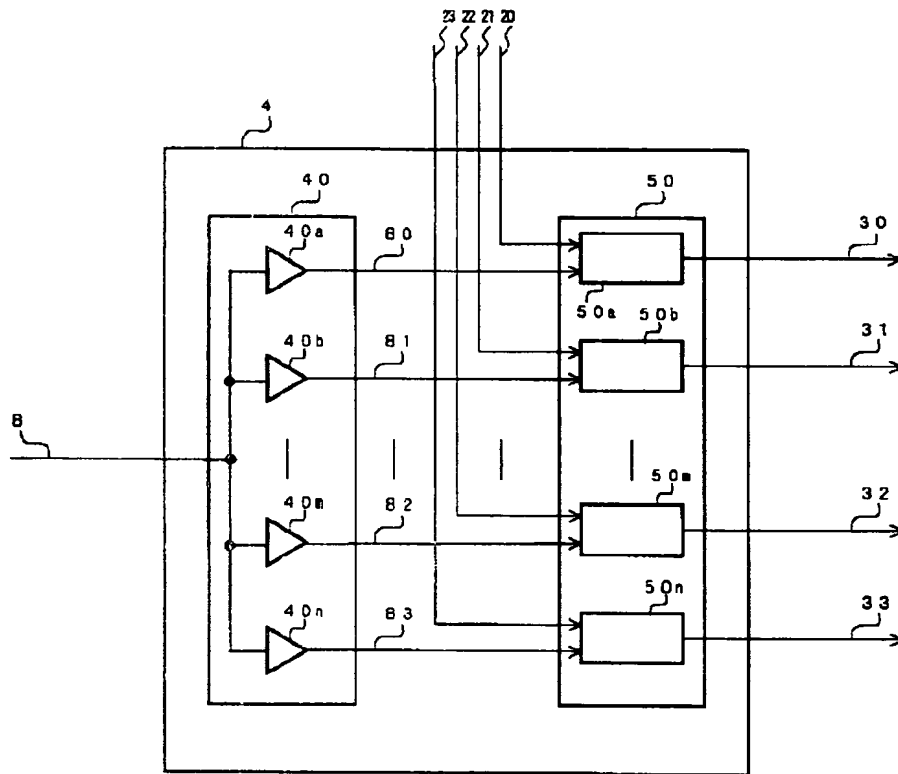
(6)

【図1】

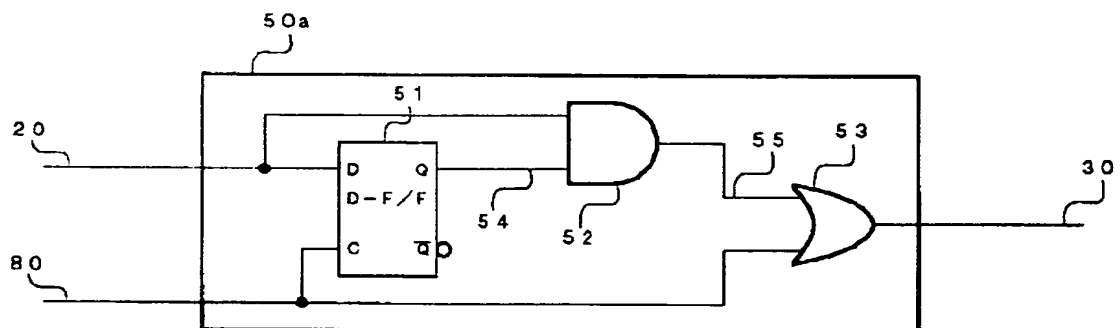


(7)

【図2】

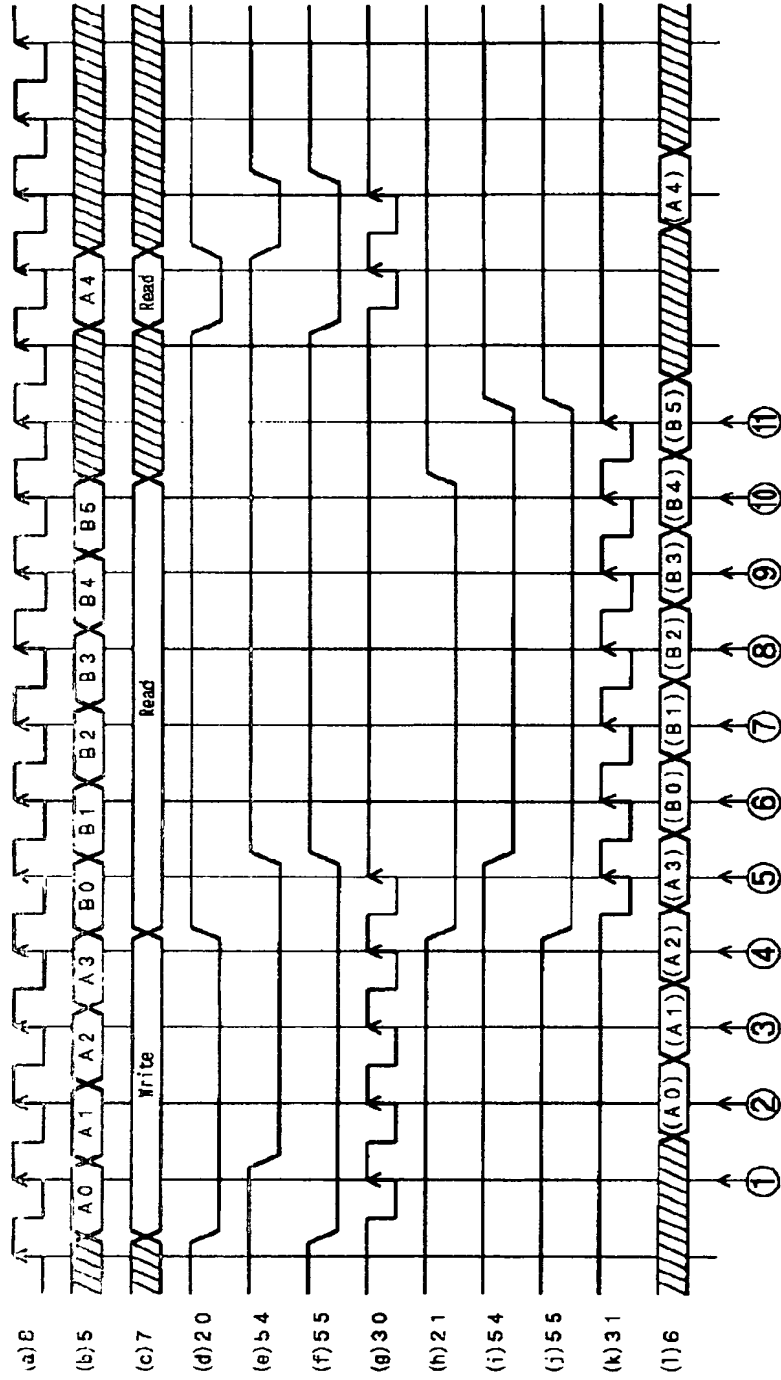


【図3】



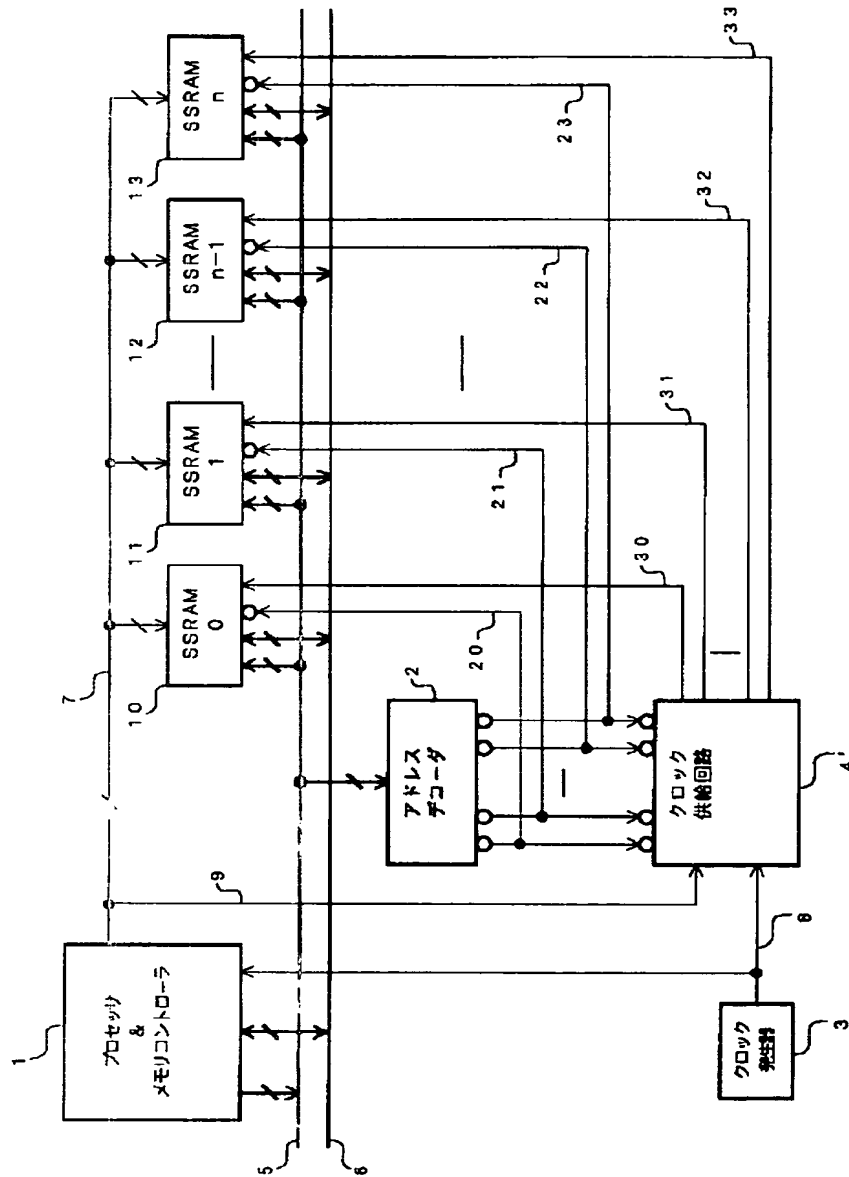
(8)

【図 4】



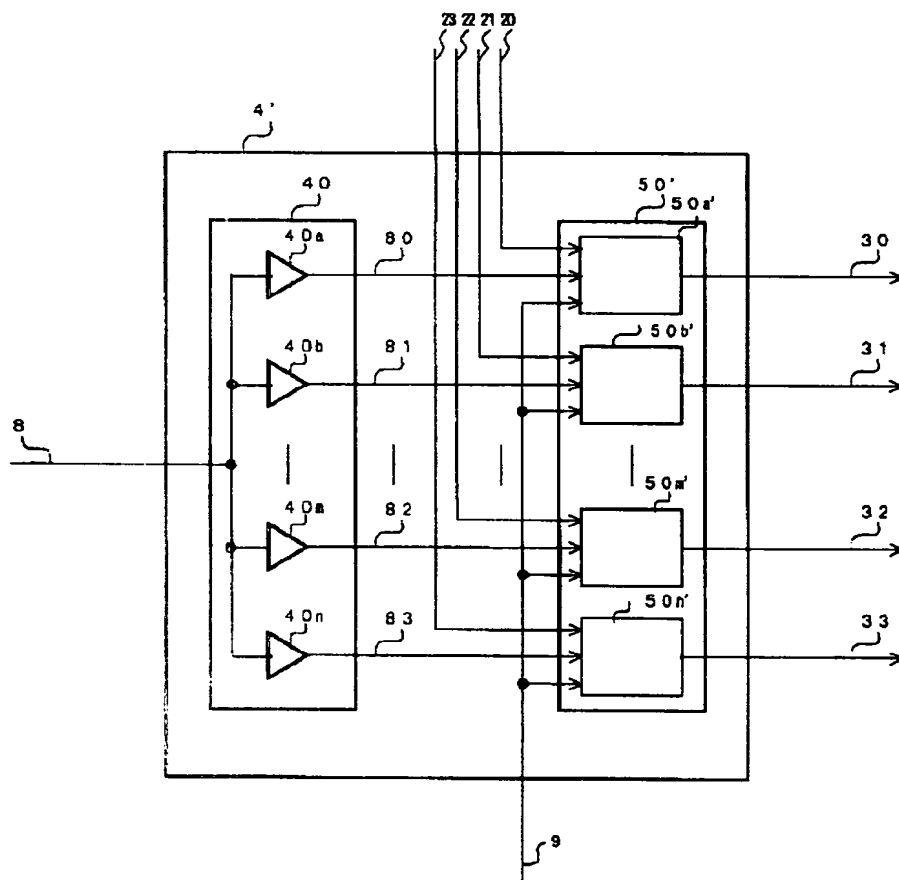
(9)

【図5】

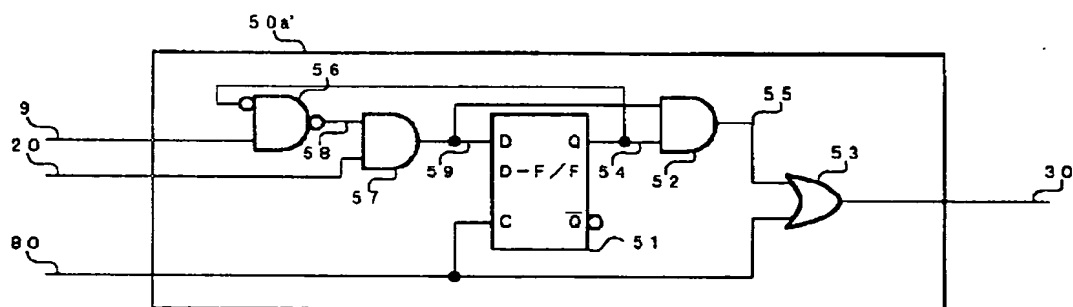


(10)

【図6】

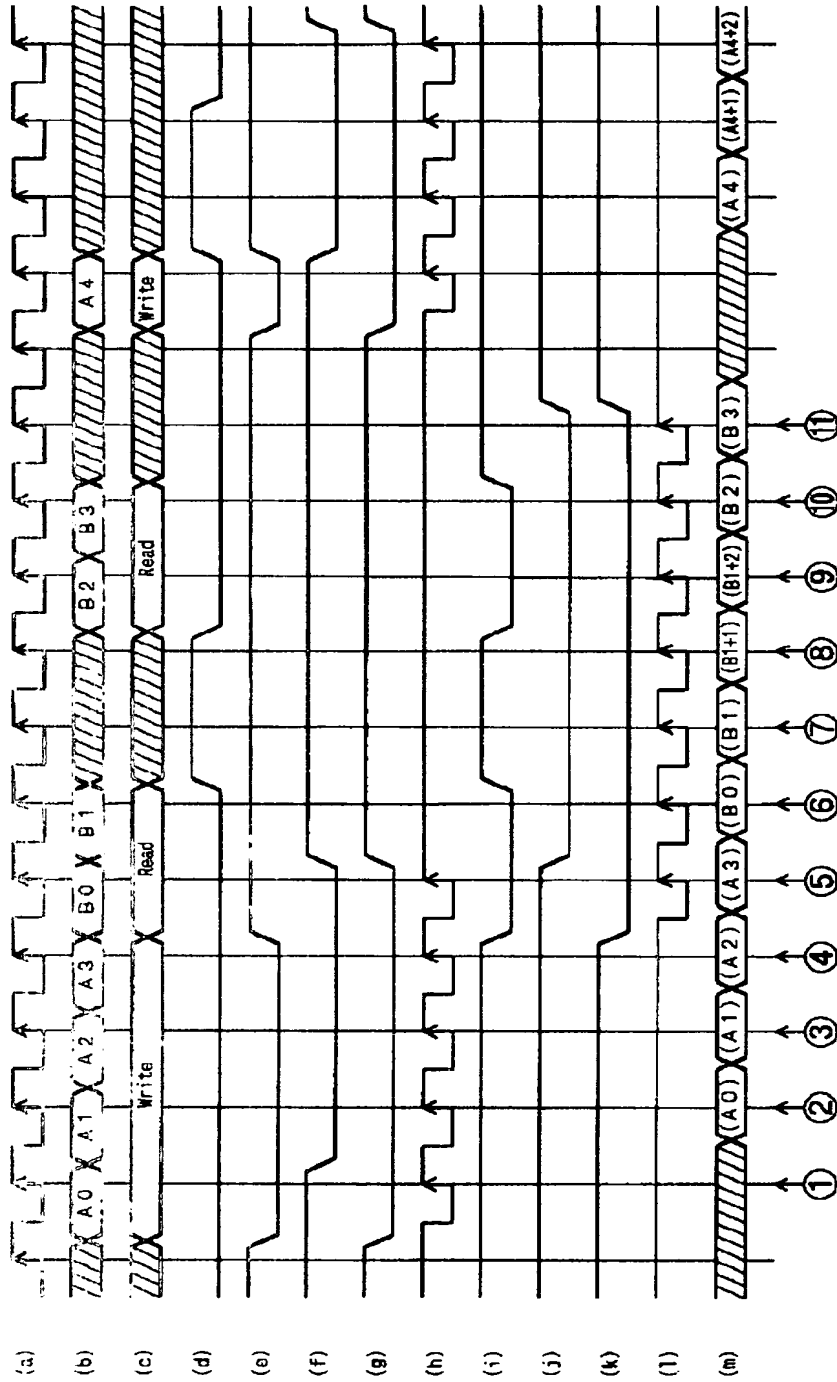


【図7】



(11)

【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.